

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

⑫ 公開特許公報(A)

昭62-288883

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)12月15日

G 09 F 9/30
G 02 F 1/133
H 01 L 27/12
29/78

3 3 8
3 2 7
3 1 1

6866-5C
8205-2H
7514-5F
A-8422-5F

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 薄膜トランジスタの製造方法

⑯ 特 願 昭61-133171

⑰ 出 願 昭61(1986)6月9日

⑱ 発 明 者 藤 原 良 幸 東京都大田区雪谷大塚町1番7号 アルプス電気株式会社
内

⑲ 出 願 人 アルプス電気株式会社 東京都大田区雪谷大塚町1番7号

⑳ 代 理 人 弁理士 三浦 邦夫 外1名

明 細 書

1. 発明の名称

薄膜トランジスタの製造方法

2. 特許請求の範囲

(1) 絶縁性基板上に透明導電膜を形成する工程と、この透明導電膜のゲート電極相当部およびその他のパターン部分を残してエッチングする工程と、前記その他のパターン部分にレジストを形成する工程と、その状態で前記ゲート電極相当部の透明導電膜上に金属を無電解メッキする工程とを有し、前記ゲート電極を前記透明導電膜および金属膜の二層で構成することを特徴とする薄膜トランジスタの製造方法。

(2) 特許請求の範囲第1項において、前記その他のパターン部分は、液晶表示装置の画素電極である薄膜トランジスタの製造方法。

3. 発明の詳細な説明

「技術分野」

本発明は、例えばアクティブマトリクスアドレス方式を用いた液晶表示装置のスイッチング素子

などに使用される薄膜トランジスタの製造方法に関する。

「従来技術」

薄膜トランジスタ(IFT)は、電界効果トランジスタ(FET)の一種で、絶縁性基板上に薄膜を形成するだけで製造できるので、薄膜形成技術を用いて大面積のパネル面に多数の素子を一度に形成できる利点がある。特に、半導体層として水素化アモルファスシリコン等のSi系材料が採用されるようになってからは、従来から欠点とされていた再現性、制御性、均一性が改善できる可能性がでてきたため、積極的に研究が始められている。

薄膜トランジスタの注目されている用途の一つとして、液晶テレビなどにおけるスイッチング素子が挙げられる。すなわち、液晶テレビの画素電極の一つ一つに対応して薄膜トランジスタを形成し、これらの薄膜トランジスタを介して各画素電極に電圧を印加する、いわゆるアクティブマトリクスアドレス方式を採用することにより、従来の単純マトリクスアドレス方式に比べてコントラスト

トや解像度を大幅に改善できるからである。

上記のような液晶表示装置に適用された薄膜トランジスタの一例として、逆スタガー構造のものを挙げれば、第3図に示すように、絶縁性基板11上にゲート電極12および西素電極13がそれぞれ形成され、ゲート電極12上にはゲート絶縁膜14、半導体層15が順次積層され、この半導体層15上にソース電極16およびドレイン電極17がチャンネル部Cを間にしてそれぞれ形成されている。この場合、ドレイン電極17は西素電極13をも覆うようになっている。そして、これらの層上に絶縁膜18が形成され、さらに絶縁膜18上のチャンネル部Cの部分には透光膜19が形成されている。

ここで、ゲート電極12はMo、Cr、Alなどの金属膜からなり、西素電極13はITOなどの透明導電膜からなり、ゲート絶縁膜14はSiNx、SiO₂膜などからなり、半導体層15は水素化アモルファスシリコン(a-Si:H)等のSi系材料などからなり、ソース電極16およびドレイン電極17はAl、NiCr、Al/Cr、Al/Tiなどの金属膜からなり、絶縁膜18はSiNx、

基板11上に透明導電膜13'を蒸着、スパッタリングなどで形成し(工程(a))、透明導電膜13'をエッチングして西素電極13を形成する(工程(b))。次に、Mo、Cr、Alなどの金属膜12'を蒸着、スパッタリングなどで全面形成し(工程(c))、金属膜12'をエッチングしてゲート電極12を形成する(工程(d))。さらに、SiNx、SiO₂膜などの絶縁膜14'を蒸着、スパッタリングなどで全面形成し(工程(e))、絶縁膜14'をエッチングしてゲート絶縁膜14を形成する(工程(f))。次に、水素化アモルファスシリコン(a-Si:H)などの半導体材料15'を全面形成し(工程(g))、この半導体材料15'をドライエッチングして半導体層15を形成する(工程(h))。以下、常法に従って、ソース電極16およびドレイン電極17、絶縁膜18、透光膜19を蒸着、スパッタリングなどにより順次形成する。なお、ソース電極16およびドレイン電極17、透光膜19は、全面に膜を形成した後、エッチングして形成する。

「発明が解決しようとする課題」

SiO₂膜などからなり、透光膜19はMo、Crなどの金属膜からなっている。なお、半導体層15とソース電極16およびドレイン電極17との間に高ドーピング層が形成されることもある。

この薄膜トランジスタにおいては、ゲート電極12に電圧を印加することにより、半導体層15のゲート電極12に近接した部分(チャンネル部C)にキャリアが形成され、この状態でソース電極16に信号電圧を印加すると、上記キャリア形成部を通過して電流が流れ、ドレイン電極17、および西素電極18に電圧が印加されるようになっている。

ところで、水素化アモルファスシリコンなどからなる半導体層15は一般に光導電性を有し、光が当たると抵抗が下がってスイッチング機能に支障が生じることになる。このため、図の上方からの光は透光膜19で通り、図の下方からの光はゲート電極12で返って半導体層15に外部の光が当たらないようにしている。

従来、この薄膜トランジスタは、第2図に示す工程に従って製造されている。すなわち、絶縁性

上記従来の製造方法では、ゲート電極12を形成する工程(a)、(b)において、全面に金属膜12'を形成した後、透明導電膜からなる西素電極13を残して金属膜12'のみを除去する、いわゆる選択エッチングが必要となる。しかし、選択エッチングの条件は厳しく、エッチングが過度になると、西素電極13までエッチングされ、西素電極13の抵抗値が高くなってしまふ。例えば、膜厚を500 Åに設定していても、400 Å程度になってしまうことがある。また、エッチングが足りないと、西素電極13上に金属膜12'が残存し、西素電極13の光透過率にムラが生じてしまふ。そして、このことが液晶表示装置の信頼性や歩留りを低下させる一因となっていた。

したがって、本発明の目的は、透光性を有するゲート電極を選択エッチングを行なうことなく形成できるようにした薄膜トランジスタの製造方法を提供することにある。

「問題点を解決するための手段」

本発明による薄膜トランジスタの製造方法は、

絶縁性基板の上に透明導電膜を形成する工程と、この透明導電膜のゲート電極相当部およびその他のパターン部分を残してエッチングする工程と、前記その他のパターン部分にレジストを形成する工程と、その状態で前記ゲート電極相当部の透明導電膜上に金属を無電解メッキする工程とを有し、前記ゲート電極を前記透明導電膜および金属膜の二層で構成することを特徴とする。

「作用」

上記のように、先ず透明導電膜を形成してゲート電極相当部およびその他のパターン部分を残してエッチングし、その他のパターン部分にレジストを形成して、ゲート電極相当部の透明導電膜上に金属を無電解メッキするようにしたので、選択エッチングを行なうことなく、透明導電膜および金属膜からなるゲート電極と、透明導電膜からなるその他のパターンとを形成することができる。したがって、選択エッチングに伴う条件のコントロールを必要とせず、工程が簡略化できると共に、透明導電膜のパターンの不良をなくすことが

できる。また、ゲート電極は、透明導電膜と金属膜とからなるので十分な導電性が得られ、断線が生じにくくなる。さらに、ゲート電極の形成に際して、金属膜を全面に形成することなく、パターン化された透明導電膜上に無電解メッキするだけなので、金属の材料消費が少なく済み、コストダウンを図ることができる。

「発明の実施例」

第1図には、本発明による薄膜トランジスタの製造方法の実施例が示されている。以下、その工程に従って説明する。

先ず、ガラス等の絶縁性基板11上に、ITO膜などからなる透明導電膜13'を形成する(工程(a))。透明導電膜13'の厚さは、500 Å程度が適当である。

次に、この透明導電膜13'のゲート電極相当部および画素電極パターンを残してエッチングする(工程(b))。エッチングにより、ゲート電極の下地部分12aと画素電極13とが形成される。

そして、画素電極13の部分をレジスト21で覆

う(工程(c))。この場合、ゲート電極の下地部分12aは露出した状態とする。

この状態で、Ni等の金属を無電解メッキし、ゲート電極の下地部分12a上に金属膜12bを形成する(工程(d))。こうして、透明導電膜の下地部分12aと金属膜12bとからなるゲート電極12が形成される。無電解メッキからなる金属膜12bの厚さは2000~3000Å程度が適当である。

その後、レジスト21を除去することにより、絶縁性基板11上にゲート電極12と画素電極13とが形成された状態となる(工程(e))。

以下の工程は、上記従来の製造方法と同様である。すなわち、第2図および第3図に示したように、ゲート絶縁膜14を形成し、さらに水素化アモルファスシリコン等の半導体層15、ソース電極16およびドレイン電極17、絶縁膜18、遮光膜19を順次形成すればよい。

上記のように、本発明では、ゲート電極12、画素電極13の形成に際して、選択エッチングを必要としないので、エッチング条件を厳しくコント

ロールする必要はない。したがって、製造工程が簡略化されると共に、画素電極13の膜厚が一定となり、画素電極13上に金属膜が残存するなどの不良等も生じない。また、ゲート電極12は、透明導電膜の下地12aと金属膜12bとからなるので、金属膜12aによって半導体層に対する遮光性が得られると共に、断線等が生じにくくなるという利点も得られる。さらに、ゲート電極12の形成に際して、金属膜12bを全面に形成することなく、透明導電膜の下地12a上に無電解メッキするだけなので、金属の材料消費が少なく済み、コストダウンを図ることができる。

「発明の効果」

以上説明したように、本発明によれば、絶縁性基板の上に透明導電膜を形成した後、ゲート電極相当部およびその他のパターン部分を残してエッチングし、その他のパターン部分をレジストで覆った状態で、ゲート電極相当部の透明導電膜上に金属を無電解メッキするようにしたので、選択エッチングを必要とすることなく、ゲート電極とその

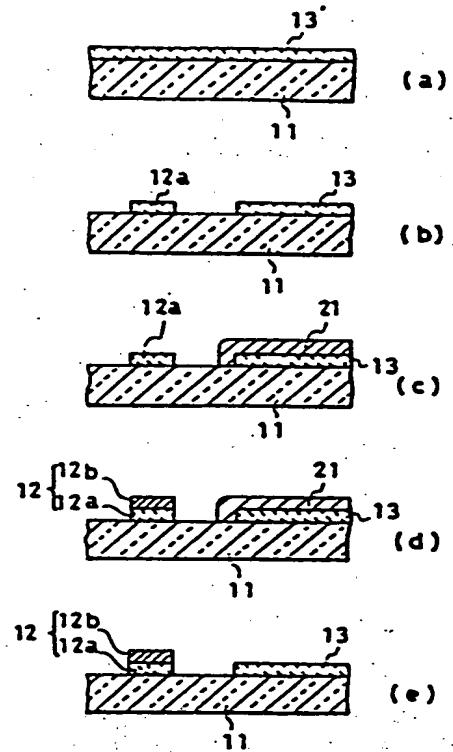
他のパターン部分とを形成することができる。したがって、エッチング条件を厳しくコントロールする必要がないため、工程の簡略化を図ることができる。また、ゲート電極は、透明導電膜と金属膜とからなるので、半導体層に対する透光性が得られると共に、断線等も生じにくくなる。さらに、金属膜を無電解メッキにより形成するので、金属の材料消費が少なくてすみ、コストダウンを図ることができる。

4. 図面の簡単な説明

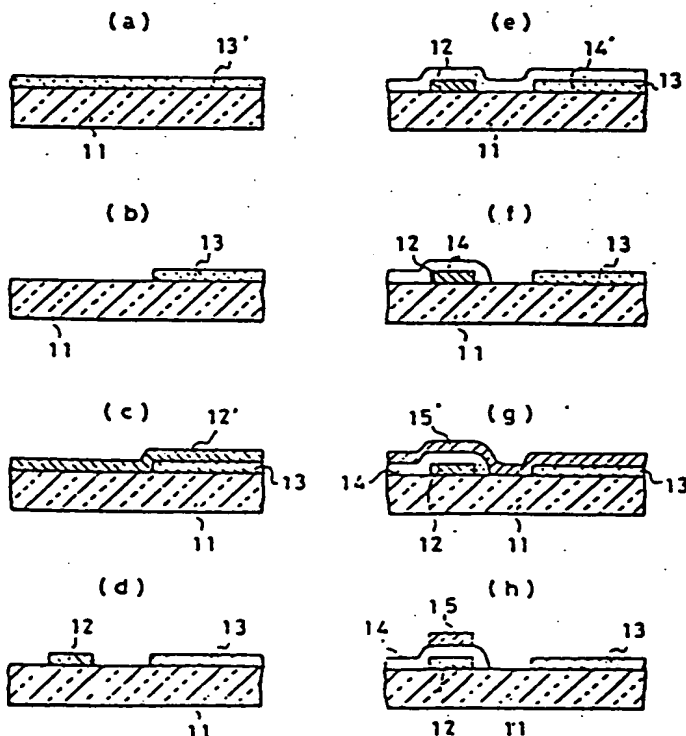
第1図(a)、(b)、(c)、(d)、(e)は本発明の薄膜トランジスタの製造方法の実施例を工程に従って示す部分断面図、第2図(a)、(b)、(c)、(d)、(e)、(f)、(g)、(h)は従来の薄膜トランジスタの製造方法の一例を工程に従って示す部分断面図、第3図は従来の薄膜トランジスタの構造の一例を示す部分断面図である。

図中、11は絶縁性基板、12aは透明導電膜からなる下地、12bは金属膜、12はゲート電極、13'は透明導電膜、13は画素電極である。

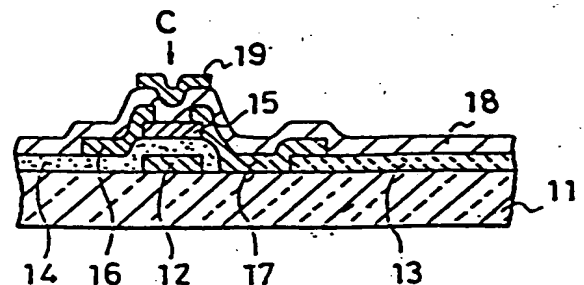
第1図



第2図



第3図



Partial Translation of JP-A-62-28883

[Embodiment of the invention]

Fig. 1 shows an embodiment of the production method of a thin film transistor according to the present invention. The production method will hereinafter be described in accordance with the steps thereof.

First, a transparent conducting film 13' made of an ITO film and the like is formed on an insulating substrate 11 such as glass (step (a)). The transparent conducting film 13' suitably has a thickness of about 500 Å.

Next, the transparent conducting film 13' is etched while leaving a portion corresponding to a gate electrode, and a pixel electrode pattern (step (b)). By the etching, an undercoat portion 12a of the gate electrode and a pixel electrode 13 are formed.

Then, the pixel electrode 13 is covered with a resist 21 (step (c)). In this case, the undercoat portion 12a of the gate electrode is to be in an exposed state.

In this state, a metal such as Ni is electroless-plated to form a metal film 12b on the undercoat portion 12a of the gate electrode (step (d)). In this way, a gate electrode 12 comprising the undercoat portion 12a and the metal film 12b is formed. The metal film formed by electroless plating suitably has a thickness of about 2000 - 3000 Å.

After that, the resist 21 is removed whereby a state in which the gate electrode 12 and the pixel electrode 13 are

formed on the insulating substrate 11 is achieved (step (e)).

The following steps are the same as in the above conventional production method. That is, as shown in Figs. 2 and 3, after forming a gate insulating film 14, a semiconductor layer 15 such as amorphous silicon hydride, a source electrode 16 and a drain electrode 17, an insulating film 18, and a light-shielding layer 19 may further be formed consecutively.

As described above, since the present invention does not require selective etching when forming the gate electrode 12 and the pixel electrode 13, it is not necessary to control etching conditions severely. Therefore, the production steps are simplified. At the same time, the film thickness of the pixel electrode 13 becomes fixed, and no failure occurs, such as a metal film remaining on the pixel electrode 13. Further, since the gate electrode 12 is formed from the undercoat 12a of the transparent conducting film and the metal film 12b, a light-shielding property to the semiconductor layer is obtained by the metal film 12a. At the same time, there is also obtained an advantage in that disconnection and the like are hard to occur. Furthermore, when forming the gate electrode 12, without forming the metal film 12b on the whole surface, only electroless plating is conducted on the undercoat 12a made of the transparent conducting film. Accordingly, consumption of metal material is less, which enables us to contrive the reduction in costs.